

**FAXED**  
8/17

EP 0 862 272 A2

1

**Page 1-----**

(19) European Patent Office

(11) EP 0 862 272 A2

(12) EUROPEAN PATENT APPLICATION

(43) Publication date:

February 2, 1996, Patent sheet 1996/36

(51) Int. Cl.<sup>6</sup>: H03L 7/085

(21) Application number: 98100093.8

(22) Application date: January 7, 1998

(84) Named contracting states:

AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE

Named application states:

AL LT LV MK RO SI

(30) Priority: February 6, 1997 DE 19704299

(71) Applicant: Deutsche Telekom AG

53113 Bonn (DE)

(72) Inventor: Scheytt, Christoph  
46282 Dorsten (DE)

(54) Device to obtain a clock signal from a data signal, and bit rate detection device for determining the bit rate.

(57) The invention concerns a device to obtain a clock signal from a data signal current by means of a phase/frequency control device (3), to which a data signal current can be input, and a frequency divider (13) switchable via a data word (DW), which is located in the feedback branch of the phase/frequency control device and at the output of which the obtained clock signal can be detected. The invention is marked by the fact that a bit rate detection device (15) is provided, to which the data signal stream and the frequency signal are input and which produces a bit rate-dependent data word (DW) which is input to the frequency divider (13).

**Figure 1**

unregenerated data signal  
regenerated data signal

**Page 2-----**

**Description**

The invention concerns a bit rate detection device to detect a bit rate of a data signal current. In addition, the invention concerns a device to obtain a signal from a data signal current with a phase/frequency control device, to which a data signal current can be input, and with a frequency divider, which is switchable by means of a data word and which is located in the feedback branch of the phase/frequency control device and at the output of which the obtained clock signal can be detected.

Devices to obtain a clock signal from a data signal current are known. Thus, in Vol. 20, 1995, of Maxim Engineering Journal, a product with the name MAX3270 is shown, which obtains the data clock signal from the input data signal current by means of a phase/frequency control loop and a programmable frequency divider located in the feedback branch. Since the phase/frequency control loop only works within a certain frequency or clock range, it is possible to switch between different frequency or clock ranges by means of a frequency divider. The switchover itself is carried out, by feeding different data signals to the frequency divider. Although this module can be used for the recovery of the clock signal from data signal currents with very different bit rates, it can not be used if the supplied data signal current changes between different bit rates, because the module can't recognize the respective frequency or clock ranges and set the frequency divider accordingly.

In a publication by D. Potson and A. Buchholz) "A 143-360 Mbit/s Auto-Rate Selecting Date-Retimer Chip for Serial Digital Video Signals", IEEE International Solid-State Circuits Conference 1996, digest of technical papers, vol. 29, pp. 196-197), a data recovery circuit is shown, which can process the data signal currents with different bit rates, where the switching between the different frequency or clock ranges is carried out automatically. Switching is carried out by the frequency sensitivity of the phase/frequency detector, which regulates the VCO control voltage in such a way that the phase/frequency control loop locks in on the new frequency. In contrast with the above example, no frequency divider is used in this case. This circuit has the disadvantage that a clock recovery is only possible within a limited frequency or clock range. This limitation is caused by the VCO circuit, whose tuning range can't be extended indefinitely. A further limitation is caused due to the fact that the conventionally used phase/frequency detectors work only in a limited frequency range.

Therefore, the task of the present invention consists in giving a device for obtaining a clock signal, which can process data signal currents of very different bit rates.

This task is solved by a device, which shows the characteristics of claim 1.

Given that a bit rate detection device is provided, which determines the bit rate of the data signal current by means of one or, preferably, two reference frequency signals,

and encodes it accordingly as a data word to be sent to the frequency divider, the phase/frequency control device can be locked in on different frequency ranges, so that data signal currents with differing bit rates can be processed automatically. Thus, an external reprogramming of the frequency divider is not necessary.

In contrast with the known circuits, the device according to the invention for the purpose of obtaining a clock signal works on two levels. On the first level, the phase/frequency control loop is set to a certain frequency range or clock range by means of a bit rate detection device. Then, in a second step, a fine-adjustment of the frequency or the clock is carried out, which is done by the phase/frequency control loop itself. Thus, it is not necessary, as is the case in the state of the art, to choose a very large tuning range of the VCO circuit within the phase/frequency control loop and thus to use a large amount of switching technology.

In an advantageous design, the flank density measurement device (FDM device for short) contains a scanning unit, a flank detection unit, an averaging device and a decision unit (an arbiter). Preferably, the scanning unit contains a flip-flop that can be fed a reference frequency signal as a clock signal and a data signal current as an input signal. And, preferably, the flank detection unit contains a flip-flop and an XOR gate, where one input of the flip-flop and one input of the XOR gate are the output of the scanning unit, and the

other input of the XOR gate is connected with the output of the flip-flop. The averaging unit preferably contains a low-pass filter, whose input is connected with the output of the flank detection unit.

**Page 3-----**

The decision unit preferably contains a comparator circuit and a flip-flop, where one input of the comparator circuit is connected with the output of the averaging unit, and the other input with a reference voltage source, and where the output of the comparator circuit is connected with one input of the flip-flop. The output signal of this flip-flop then forms a bit of the data word fed to the frequency divider.

The number of the detected frequency or clock ranges depends directly on the number of used FDM devices. Thus, for example in the case of two used FDM devices, three different frequency or clock ranges will be detected. By using more than two FDM devices, the number of detectable frequency ranges can be increased further.

The invention is now explained in greater detail by using the application example diagrams. Thus:

figure 1 shows a block diagram of a circuit for the regeneration of a noisy data signal with a device according to the invention for obtaining the clock signal;

figure 2 shows a block diagram of a bit rate detection device, and

figure 3 shows a block diagram of an FDM device, which is inserted into a bit rate detection device as show in diagram 2.

Figure 1 shows the basic layout of a data regeneration circuit 1. It comprises a phase or phase/frequency control loop 3 and a regenerator flip-flop 5. The phase/frequency control loop 3 in its turn comprises a phase/frequency detector 7, a loop filter 9, a VCO (voltage control oscillator) circuit 11, and a switchable frequency divider 18. The above-mentioned function units are connected into a circuit, where the output signal of the VCO circuit 11 is fed back to an input of the phase/frequency detector 7 via the frequency divider 7, while the other input of the phase/frequency detector 7 is admitted to a regenerating data signal current DS. The output signal of the frequency divider 13, which is located in the feedback branch of the frequency control loop 3, then forms the desired clock signal T, obtained from the data signal current. The mode of operation of such a phase/frequency control loop, as well as each mode of operation of the frequency detector circuit 7, the loop filter 9, the VCO circuit 11 and the frequency divider 11 is known from the state of the art, so that a more detailed description can be omitted here.

The recovered clock signal T is fed to the signal input of the regenerator flip-flop 5, whose data input D is fed with the data signal current DS. The signal, which can be detected at the output Q of this regenerator flip-flop 5, is the regenerated data signal.

A bit rate recognition circuit, which has the task of determining the bit rates of the data signal currents DS and, depending on these, of setting the splitting ratio of the frequency divider, is allocated to the phase/frequency control loop 3, especially to the frequency divider 13. For this purpose, besides the data signal current DS, at least one, preferably at least two reference frequency signals,  $f_{ref1}$ ,  $f_{refi}$ , and at least one, in the present example several frequency voltage signals,  $U_{ref1}$ ,  $U_{refi}$ , are supplied to the bit rate detection circuit 15. On the basis of these reference values, the bit rate recognition circuit 15 determines the frequency range of the data signal current, encodes this value and transmits it as a data word DW to the frequency divider 13. The frequency divider is built in such a way that it sets a splitting ratio, which is assigned to the transmitted data word.

The design of the bit rate detection circuit 15 is described in greater detail in figure 2. The bit rate detection circuit 15 comprises at least one, in the present example several, flank density measurement circuits 17, which are arranged in parallel with each other. On the one hand

they are all supplied with unregenerated data signal current DS. On the other hand, each flank density measurement circuit 17 is supplied with a voltage reference signal  $U_{ref}$  and a reference frequency signal  $f_{ref}$ . On the basis of the reference values, each flank density measurement circuit 17 determines a binary datum Q, which represents one bit of the data word DW. This data word DW, which is transmitted to the frequency divider 13, is thus built by the binary output data Q of the flank density measurement circuit 17.

The design of such flank density measurement circuit 17 is shown in figure 3. It comprises a scanning unit 19, a flank detection unit 21, an averaging unit 23 and a decision unit 25 in a series connection.

The scanning unit 19 comprises a flip-flop 27, whose data input D is supplied to the unregenerated data signal current DS. The clock input of the flip-flop 27 is supplied with the reference frequency signal  $f_{ref}$ .

The flank detection unit 21 comprises a flip-flop 29 and an XOR gate 31. The data input D of the flip-flop 29 is connected with the output of the flip-flop 27, which in its turn is connected with an input of the XOR gate 31. The second input of the XOR gate 31 is connected with the output Q of the flip-flop 29. This flip-flop 29 is also supplied with the reference frequency signal  $f_{ref}$  as a clock signal.

The averaging unit 23 comprises a low-pass filter 33, whose input is connected with the output of the XOR gate 31.

**Page 4-----**

The decision unit 25 comprises a comparator 35, whose inverting input is connected with a voltage 37 generating a reference voltage 37, while its other input is connected with the output of the low-pass filter 33. The output of the comparator circuit 35 is connected with the data input of a flip-flop 39, at whose output terminal Q one bit of the data word DW can be detected. The flip-flop 39 is supplied with a clock signal  $f_{Takt}$ , preferably with a slow system clock.

Now, the bin rate detection functions as follows:

At first the ungenerated data signal DS is scanned in scanning unit 19 with a frequency  $f_{ref}$ . Depending on the bit rate of the data signal current, either an under-scanning, an over-scanning or a scanning with the approximate clock frequency is carried out.

After the scanning process, a flank detection takes place in the flank detection unit 21, which means that a detection of  $0 \Rightarrow 1$  or  $1 \Rightarrow 0$  switching in the data signal current takes place.

The output signal of the flank detection unit is averaged by means of a low-pass filter 33, located in the averaging unit 23, so that voltages are present at the filter output, which are proportional to the median relative frequency of the data signal flanks in the scanning signal:

The averaged output signal is compared by the comparator to a reference voltage  $U_{ref}$ , and a unique binary decision datum is produced by the down-stream flip-flop 39. The function of the bit rate detection circuit 15 is explained once more by means of a concrete example.

The starting point shall be a data transmission system, where the data is transmitted at three different bit rates, namely 155.52 Mbit/s (STM-1), 622.08 Mbit/s (STM-4) und 2.48832 Gbit/s (STM-16). The known circuits for obtaining a clock signal don't work automatically in this case, since the frequency range is too large.

In this concrete example, the bit rate recognition circuit 15 comprises two flank density measurement circuits 17 for the purpose of recognizing three different bit rates, as shown in figure 3. As the first reference frequency a value of 2.56 GHz is used, whereas a value of 640 MHz = 2.56 GHz/4 is used as the second reference frequency. When choosing the reference frequencies, attention must be paid to the fact that they not match the frequency of the data signal current. As reference voltage, a value of  $0.3 \times U_0$  is used, where  $U_0$  is equal to the voltage of the logical 1. The following table shows which output signals of the two decision units 25 are obtained and which bit rate they encode.

Bit rate  $f_B$

		Ausgangssignale Entscheidungseinheiten 25	
Bitrate Ig	A	B	
2,48 Gbit/s	H	H	
622 Mbit/s	L	H	
155 Mbit/s	L	L	

Output signal decision units 25

Die above-mentioned function of the bit rate detection circuit 15 shall now be described analytically on the basis of the above-mentioned concrete example.

The relative frequency  $h$  of the data flanks in an accidental, binary serial data signal is 0.45 to 0.5. In what follows, let the following be true:  $f_{ref1} = 4 \times f_{ref2}$ .

If the bit rate  $f_B$  is equal to  $f_{ref1} = 4 \times f_{ref2}$ , the following applies for  $U_A$  and  $U_B$ :

$$U_A = h \times U_0$$

$$U_B = (4 \times h (1-h)^3 + 4 \times h^3 (1-h)) U_0 = 0.5 U_0$$

where  $U_0$  is equal to the voltage of the logical "one" (H), und the logical "zero" (L) corresponds to the voltage 0V.

If the bit rate  $f_B$  is equal to  $f_{ref1}/4 = f_{ref2}$ ,  $U_A$  and  $U_B$  are:

$$U_A = h/4 \times U_0$$

$$U_B = h \times U_0$$

And if finally the bit rate  $f_B$  is equal to  $f_{ref1}/16 = f_{ref2}/4$ , then:

$$U_A = h/16 \times U_0$$

$$U_B = h/4 \times U_0$$

If we choose a corresponding  $U_{ref}$  value from  $0.3 \times U_0$  at the input of the comparator, we obtain a two-bit data word, which shows the actual bit rate, at the outputs QA and QB.

The following table shows the possible cases and output values:

*Page 5-----*

$f_B$	$U_A$	$U_B$	QA	QB
$f_B=f_{ref2}$	$h \times U_0$	$0.5 \times U_0$	H	H
$f_B=4 \times f_{ref1}$	$h/4 \times U_0$	$h \times U_0$	L	H
$f_B=16 \times f_{ref1}$	$h/16 \times U_0$	$h/4 \times U_0$	L	L

Since the reference frequencies don't have to be very exact, it is possible to do without extreme reference frequencies. If namely the tuning range of the VCO isn't too

large, the VCO frequency and a corresponding output of the frequency divider can be used.

If external reference frequencies are used, it is necessary to provide frequencies that differ from the STM-4 and STM-16 clock frequencies by a few percent. This is necessary, since otherwise setup and hold-time errors can occur in the scanning flip-flop, if the phase position of the data signals is unfavorable over a longer period, consequently resulting in many erroneous scannings in the scanning unit and the flank detection. Erroneous scannings in a long series can not be averaged by the low-pass filters.

If the clock frequencies differ from each other, the error scannings can be averaged, because in this case only short series of erroneous scannings occur. Deviations of a few percent are sufficient for this.

A further example of the invention consists in expanding the described circuit 1 into a phase/frequency loop with an extremely large pull-in range, for example for a frequency synthesis or FM modulation. In this case, the bit rate detection circuit serves to detect the frequency band from which the current reference frequency originates. The frequency sensitivity of the phase/frequency detector enables the subsequent lock-in of the phase/frequency control loop to the target frequency.

1. Device to obtain a clock signal from a data signal current by means of a phase/frequency control device (3), to which the data signal current can be input, and a frequency divider (13) switchable via a data word (DW), which is located in the feedback branch of the phase/frequency control device and at the output of which the obtained clock signal (T) can be detected; the invention is characterized by the fact that a bit rate detection device (15) is provided, to which the data signal stream and the frequency signal can be input and which produces a bit rate-dependent data word (DW) which is input to the frequency divider (13).
2. Device in accordance with claim 1, characterized by the fact that at least two reference frequency signals can be input to the bit rate recognition device (15).

Page 6-----

Fig. 1

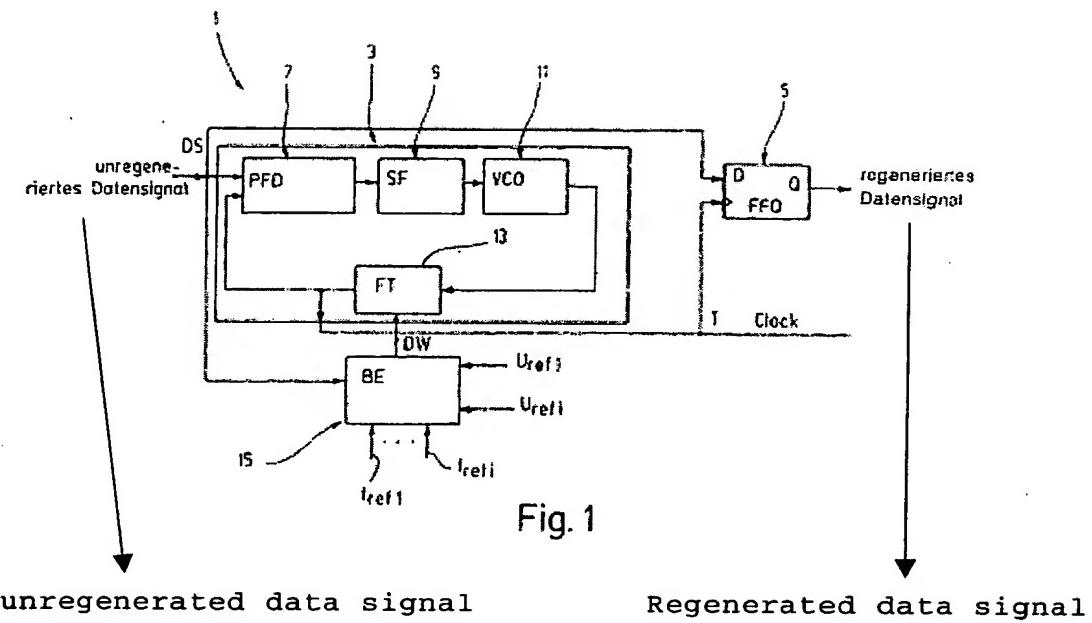


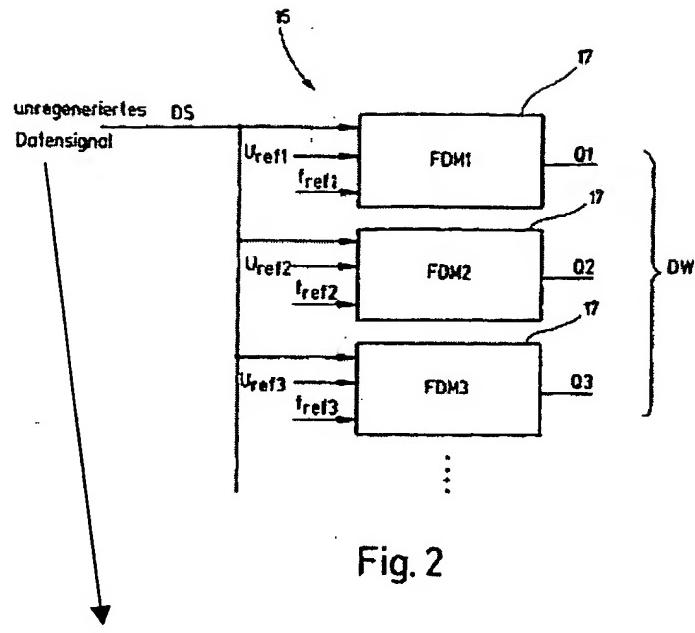
Fig. 1

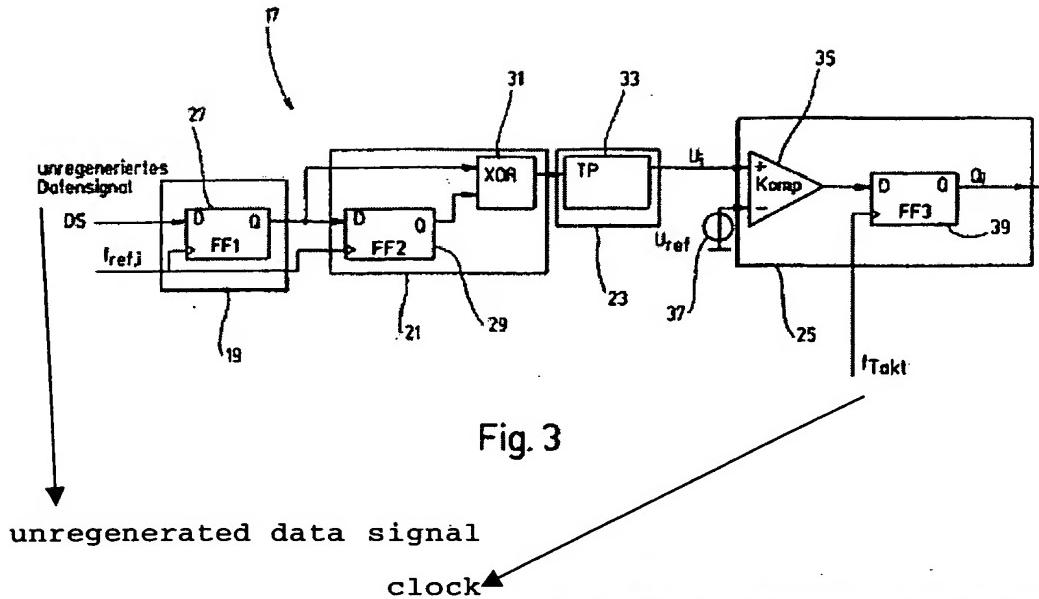
unregenerated data signal

Regenerated data signal

**Page 7-----**

**Fig. 2**

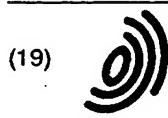


**Page 8-----****Fig. 3****Fig. 3**

unregenerated data signal

clock

[Translator's comment: "clock" is the English term for the  
German "Takt".]



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 862 272 A2

(12)

## EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:  
02.09.1998 Patentblatt 1998/36(51) Int. Cl.<sup>6</sup>: H03L 7/085

(21) Anmeldenummer: 98100093.8

(22) Anmeldetag: 07.01.1998

(84) Benannte Vertragsstaaten:  
 AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC  
 NL PT SE  
 Benannte Erstreckungsstaaten:  
 AL LT LV MK RO SI

(30) Priorität: 06.02.1997 DE 19704299  
 (71) Anmelder: Deutsche Telekom AG  
 53113 Bonn (DE)  
 (72) Erfinder: Scheytt, Christoph  
 46282 Dorsten (DE)

## (54) Vorrichtung zur Gewinnung eines Taktsignals aus einem Datensignal und Bitratenerkennungseinrichtung zur Ermittlung einer Bitrate.

(57) Die Erfindung betrifft eine Vorrichtung zur Gewinnung eines Taktsignals aus einem Datensignalstrom mit einer Phasen-/Frequenzregeleinrichtung (3), der der Datensignalstrom zuführbar ist, und mit einer mittels eines Datenworts (DW) umschaltbaren Frequenzteilereinrichtung (13), die im Rückkopplungszweig der Phasen-/Frequenzregeleinrichtung angeord-

net ist und an deren Ausgang das gewonnene Taktignal (T) abgreifbar ist. Die Erfindung zeichnet sich dadurch aus, daß eine Bitratenerkennungseinrichtung (15) vorgesehen ist, der der Datensignalstrom und zumindest ein Referenzfrequenzsignal zuführbar sind, und die ein Bitraten-abhängiges der Frequenzteilereinrichtung (13) zuführbares Datenwort (DW) erzeugt.

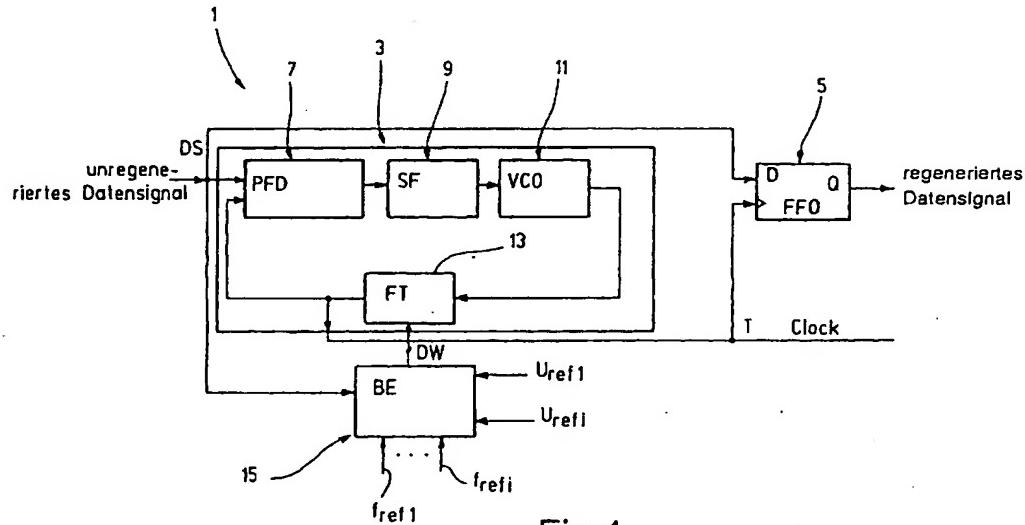


Fig. 1

**Beschreibung**

Die Erfindung betrifft eine Bitratenerkennungseinrichtung zur Ermittlung einer Bitrate eines Datensignalstroms. Die Erfindung betrifft desweiteren eine Vorrichtung zur Gewinnung eines Signals aus einem Datensignalstrom mit einer Phasen-/Frequenzregeleinrichtung, der der Datensignalstrom zuführbar ist, und mit einer mittels eines Datenworts umschaltbaren Frequenzteilereinrichtung, die im Rückkopplungszweig der Phasen-/Frequenzregeleinrichtung angeordnet ist und an dessen Ausgang das gewonnene Taktsignal abgreifbar ist.

Vorrichtungen zur Gewinnung eines Taktsignals aus einem Datensignalstrom sind bekannt. So ist beispielsweise im Maxim Engineering Journal, Heft 20, 1995, ein Produkt mit dem Namen MAX3270 offenbart, das mittels eines Phasen-/Frequenzregelkreises und eines im Rückkopplungszweig angeordneten programmierbaren Frequenzteilers das Takt signal aus dem zugeführten Datensignalstrom gewinnt. Da der Phasen-/Frequenzregelkreis lediglich innerhalb eines bestimmten Frequenz- beziehungsweise Taktbereichs arbeitet, läßt sich mit Hilfe des Frequenzteilers ein Umschalten zwischen unterschiedlichen Frequenzbeziehungsweise Taktbereichen durchführen. Das Umschalten selbst erfolgt durch Anlegen unterschiedlicher Datensignale an den Frequenzteiler. Obgleich sich dieser Baustein zur Rückgewinnung des Taktsignals aus Datensignalströmen mit unterschiedlichsten Bitraten verwenden läßt, ist dessen Einsatz jedoch dann nicht möglich, wenn der zugeführte Datensignalstrom zwischen unterschiedlichen Bitraten wechselt. Der Baustein ist nämlich nicht in der Lage, die jeweiligen Frequenz- beziehungsweise Taktbereiche zu erkennen und entsprechend den Frequenzteiler einzustellen. Dies muß vor Inbetriebnahme von außen erfolgen.

In einer Veröffentlichung von D. Potson und A. Buchholz ("A 143-360 Mbit/s Auto-Rate Selecting Data-Retimer Chip for Serial Digital Video Signals", IEEE International Solid-State Circuits Conference 1996, digest of technical papers, vol.39, pp.196-197) ist eine Taktrückgewinnungsschaltung offenbart, die Datensignalströme verschiedener Bitraten verarbeiten kann, wobei die Umschaltung zwischen den verschiedenen Frequenz- beziehungsweise Taktbereichen automatisch erfolgt. Die Umschaltung wird durch die Frequenzsensitivität des Phasen-/Frequenzdetektors erreicht, der eine VCO-Steuerspannung so regelt, daß der Phasen-/Frequenzregelkreis auf der neuen Frequenz einrastet. Im Gegensatz zu dem vorgenannten Beispiel wird hier jedoch kein Frequenzteiler eingesetzt. Diese Schaltung hat den Nachteil, daß die Taktrückgewinnung nur innerhalb eines eingeschränkten Frequenz- beziehungsweise Taktbereichs möglich ist. Verursacht wird diese Einschränkung durch die VCO-Schaltung, deren Verstimmungsbereich aus schaltungstechnischen Gründen nicht beliebig groß gemacht werden kann. Eine weitere

Einschränkung wird dadurch verursacht, daß die üblicherweise verwendeten Phasen-/Frequenzdetektoren nur in einem eingeschränkten Frequenzbereich arbeiten.

5 Die Aufgabe der vorliegenden Erfindung besteht deshalb darin, eine Vorrichtung zur Gewinnung eines Taktsignals anzugeben, mit der Datensignalströme unterschiedlichster Bitraten verarbeitbar sind.

10 Diese Aufgabe wird durch eine Vorrichtung gelöst, die die Merkmale des Anspruchs 1 aufweist.

Dadurch, daß eine Bitratenerkennungseinrichtung vorgesehen ist, die auf der Basis zumindest eines, vorzugsweise zweier Referenzfrequenzsignale die Bitrate des Datensignalstroms ermittelt und entsprechend codiert als Datenwort der Frequenzteilereinrichtung zuführt, läßt sich die Phasen-/Frequenzregeleinrichtung auf unterschiedliche Frequenzbereiche einrasten, so daß Datensignalströme mit unterschiedlichen Bitraten automatisch verarbeitbar sind. Eine Umprogrammierung des Frequenzteilers von außen ist dabei nicht notwendig.

25 Im Gegensatz zu den bekannten Schaltungen arbeitet die erfindungsgemäße Vorrichtung zur Gewinnung eines Taktsignals zweistufig. In der ersten Stufe wird mittels der Bitratenerkennungseinrichtung die Phasen-/Frequenzregeleinrichtung auf einen bestimmten Frequenzbereich beziehungsweise Taktbereich eingestellt. In einem zweiten Schritt erfolgt dann die Feinabstimmung der Frequenz beziehungsweise des Taktes, 30 die durch die Phasen-/Frequenzregeleinrichtung selbst erfolgt. Dadurch ist es nicht wie im Stand der Technik notwendig, den Verstimmungsbereich der VCO-Schaltung in der Phasen-/Frequenzregeleinrichtung groß zu wählen und folglich hohen schaltungstechnischen Aufwand zu betreiben.

35 Vorteilhafterweise umfaßt die Bitratenerkennungseinrichtung zumindest eine, vorzugsweise zumindest zwei Flankendichte-Meßeinrichtungen, denen jeweils der Datensignalstrom sowie ein Referenzfrequenzsignal zuführbar ist und deren Ausgangssignale das zur Einstellung der Frequenzteilereinrichtung notwendige Datenwort bilden.

40 In einer vorteilhaften Ausführungsform umfaßt die Flankendichte-Meßeinrichtung (im folgenden kurz FDM-Einrichtung genannt) eine Abtasteinheit, eine Flankendetektionseinheit, eine Mittelungseinheit und eine Entscheidungseinheit. Vorzugsweise weist die Abtasteinheit ein Flipflop auf, dem als Takt signal ein Referenzfrequenzsignal und als Eingangssignal der 45 Datensignalstrom zuführbar ist. Die Flankendetektions- einheit umfaßt vorzugsweise ein Flipflop und ein XOR-Gatter, wobei ein Eingang des Flipflops und ein Eingang des XOR-Gatters mit dem Ausgang der Abtasteinheit und der andere Eingang des XOR-Gatters mit dem Ausgang des flipflops verbunden ist. Die Mittelungseinheit weist vorzugsweise ein Tiefpaßfilter auf, dessen Eingang mit dem Ausgang der Flankendetektionseinheit verbunden ist. Die Entscheidungseinheit umfaßt vor-

zugsweise eine Komparatorschaltung und ein Flipflop, wobei ein Eingang der Komparatorschaltung mit dem Ausgang der Mittelungseinheit und der andere Eingang mit einer Referenzspannungsquelle verbunden ist, und wobei der Ausgang der Komparatorschaltung mit einem Eingang des Flipflops verbunden ist. Das Ausgangssignal dieses Flipflops bildet dann ein Bit des der Frequenzteileinrichtung zugeführten Datenworts.

Die Anzahl der erkannten Frequenz- beziehungsweise Taktbereiche ist unmittelbar abhängig von der Anzahl der verwendeten FDM-Einrichtungen. So lassen sich hier beispielsweise bei zwei eingesetzten FDM-Einrichtungen drei unterschiedliche Frequenz- beziehungsweise Taktbereiche erkennen. Durch die Verwendung von mehr als zwei FDM-Einrichtungen läßt sich die Zahl der erkennbaren Frequenzbereiche weiter erhöhen.

Die Erfindung wird nun anhand eines Ausführungsbeispiels mit Bezug auf die Zeichnungen näher erläutert. Dabei zeigen:

- Figur 1 ein Blockdiagramm einer Schaltung zur Regenerierung eines verrauschten Datensignals mit einer erfindungsgemäßen Vorrichtung zur Gewinnung eines Taktsignals;
- Figur 2 ein Blockdiagramm einer Bitraten-Erkennungseinrichtung, und
- Figur 3 ein Blockdiagramm einer FDM-Einrichtung, die in einer Bitraten-Erkennungseinrichtung gemäß Figur 2 eingesetzt ist.

In Figur 1 ist der grundsätzliche Aufbau einer Datenregenerationsschaltung 1 gezeigt. Sie umfaßt ein Phasen- beziehungsweise Phasen-/Frequenzregelkreis 3 und ein Regenerator-Flipflop 5. Der Phasen-/Frequenzregelkreis 3 umfaßt seinerseits einen Phasen/Frequenzdetektor 7, ein Schleifenfilter 9, eine VCO-Schaltung 11 (Voltage Control Oscillator) und einen umschaltbaren Frequenzteiler 13. Die vorgenannten Funktionseinheiten sind zu einem Regelkreis verschaltet, wobei das Ausgangssignal der VCO-Schaltung 11 über den Frequenzteiler 13 zu einem Eingang des Phasen-/Frequenzdetektors 7 rückgekoppelt wird, während der andere Eingang des Phasen-/Frequenzdetektors 7 mit einem zu regenerierenden Datensignalstrom DS beaufschlagt ist. Das Ausgangssignal des im Rückkopplungszweig des Frequenzregelkreises 3 liegenden Frequenzteilers 13 bildet dann das gewünschte aus dem Datensignalstrom gewonnene Taktsignal T. Die Funktionsweise eines solchen Phasen-/Frequenzregelkreises sowie die jeweilige Funktionsweise des Frequenzdetektors 7, des Schleifenfilters 9, der VCO-Schaltung 11 und des Frequenzteilers 13 ist aus dem Stand der Technik bekannt, so daß auf eine genauere Erläuterung verzichtet wird.

Das rückgewonnene Taktsignal T wird dem Taktsi-

gnaleingang des Regenerator-Flipflops 5 zugeführt, dessen Dateneingang D mit dem Datensignalstrom DS beaufschlagt ist. Das am Ausgang Q dieses Regenerator-Flipflops 5 abgreifbare Signal stellt dann das regenerierte Datensignal dar.

Dem Phasen-/Frequenzregelkreis 3, insbesondere dem Frequenzteiler 13, ist eine Bitratenerkennungsschaltung 15 zugeordnet, der die Aufgabe zufällt, die Bitraten des Datensignalstroms DS zu ermitteln und abhängig davon das Teilverhältnis des Frequenzteilers 13 einzustellen. Dazu wird der Bitratenerkennungsschaltung 15 neben dem Datensignalstrom DS zumindest eine, vorzugsweise zumindest zwei Referenzfrequenzsignale  $f_{ref1}$ ,  $f_{ref2}$  sowie wenigstens ein, im vorliegenden Ausführungsbeispiel mehrere Referenzspannungssignale  $U_{ref1}$ ,  $U_{ref2}$  zugeführt. Auf der Grundlage dieser Referenzwerte ermittelt die Bitratenerkennungsschaltung 15 den Frequenzbereich des Datensignalstroms, codiert diesen Wert und überträgt ihn als Datenwort DW an den Frequenzteiler 13. Der Frequenzteiler 13 ist derart ausgebildet, daß er ein dem übermittelten Datenwort zugeordnetes Teilverhältnis einstellt.

Der Aufbau der Bitratenerkennungsschaltung 15 ist in der Figur 2 näher beschrieben. Die Bitratenerkennungsschaltung 15 umfaßt zumindest eine, im vorliegenden Ausführungsbeispiel mehrere Flankendichte-Meßschaltungen 17, die parallel zueinander angeordnet sind. Sie alle werden einerseits mit dem unregenerierten Datensignalstrom DS versorgt. Andererseits wird jeder Flankendichte-Meßschaltung 17 ein Spannungsreferenzsignal  $U_{ref}$  sowie ein Referenzfrequenzsignal  $f_{ref}$  zugeführt. Auf der Basis der Referenzwerte ermittelt jede der Flankendichte-Meßschaltungen 17 ein binäres Datum Q, das ein Bit des Datenworts DW darstellt. Dieses an den Frequenzteiler 13 übermittelte Datenwort DW wird folglich durch die binären Ausgangsdaten Q der Flankendichte-Meßschaltung 17 gebildet.

Der Aufbau einer solchen Flankendichte-Meßschaltung 17 ist in Figur 3 dargestellt. Sie umfaßt in Reihenschaltung eine Abtasteinheit 19, eine Flanken-detectionseinheit 21, eine Mittelungseinheit 23 sowie eine Entscheidungseinheit 25.

Die Abtasteinheit 19 umfaßt ein Flipflop 27, dessen Dateneingang D der unregenerierte Datensignalstrom DS zugeführt ist. Der Takteingang des Flipflops 27 wird mit dem Referenzfrequenzsignal  $f_{ref}$  beaufschlagt.

Die Flanken-detectionseinheit 21 umfaßt ein Flipflop 27 sowie ein XOR-Gatter 31. Der Dateneingang D des Flipflops 29 ist mit dem Ausgang Q des Flipflops 27 verbunden, der seinerseits mit einem Eingang des XOR-Gatters 31 verbunden ist. Der zweite Eingang des XOR-Gatters 31 ist mit dem Ausgang Q des Flipflops 29 verbunden. Auch diesem Flipflop 29 wird als Taktsignal das Referenzfrequenzsignal  $f_{ref}$  zugeführt.

Die Mittelungseinheit 23 umfaßt ein Tiefpaßfilter 33, dessen Eingang mit dem Ausgang des XOR-Gat-

ters 31 verbunden ist.

Die Entscheidungseinheit 25 umfaßt einen Komparator 35, dessen invertierender Eingang mit einer Referenzspannung  $U_{ref}$  liefernde Spannungsquelle 37 und dessen anderer Eingang mit dem Ausgang des Tiefpaßfilters 33 verbunden ist. Der Ausgang der Komparator-Schaltung 35 ist mit einem Dateneingang eines Flipflops 39 verbunden, an dessen Ausgangsanschluß Q ein Bit des Datenworts DW abgreifbar ist. Das Flipflop 39 wird mit einem Taktsignal  $f_{Takt}$  versorgt, vorzugsweise mit einem langsamem Systemtakt.

Die Bitratenerkennung funktioniert nun wie folgt:

Zunächst wird das ungenerierte Datensignal DS in der Abtasteinheit 19 bei einer Frequenz  $f_{ref}$  abgetastet. Abhängig von der Bitrate des Datensignalstroms findet entweder eine Unterabtastung, eine Überabtastung oder eine Abtastung mit der ungefähren Taktfrequenz statt.

Auf die Abtastung folgt in der Flankendetektionseinheit 21 eine Flankendetektion, das heißt, es findet eine Detektion von  $0 \Rightarrow 1$  beziehungsweise  $1 \Rightarrow 0$ -Übergängen im Datensignalstrom statt.

Das Ausgangssignal der Flankendetektionseinheit wird mittels des Tiefpaßfilters 33 in der Mittelungseinheit 23 gemittelt, so daß an dessen Ausgang Spannungen anliegen, die proportional der mittleren relativen Häufigkeit von Datensignalflanken im Abtastsignal sind:

Das gemittelte Ausgangssignal wird durch den Komparator 35 mit einer Referenzspannung  $U_{ref}$  verglichen, wobei durch das nachgeschaltete Flipflop 39 ein eindeutiges binäres Entscheidungsdatum erzeugt wird.

Anhand eines konkreten Beispiels soll die Funktion der Bitratenerkennungsschaltung 15 nochmals erläutert werden.

Ausgangspunkt soll ein Datenübertragungssystem sein, bei dem die Daten mit drei unterschiedlichen Bitraten, nämlich 155,52 Mbit/s (STM-1), 622,08 Mbit/s (STM-4) und 2,48832 Gbit/s (STM-16), übertragen werden. Die bisher bekannten Schaltungen zur Gewinnung eines Taktsignals arbeiten in diesem Fall nicht automatisch, da der Frequenzbereich zu groß ist.

Zur Erkennung dreier unterschiedlicher Bitraten umfaßt die Bitratenerkennungsschaltung 15 in diesem konkreten Beispiel zwei Flankendichte-Meßschaltungen 17, wie sie in Figur 3 erläutert sind. Dabei wird als erste Referenzfrequenz der Wert 2,56 GHz und als zweite Referenzfrequenz 640 MHz = 2,56 GHz/4 verwendet. Bei der Wahl der Referenzfrequenzen ist darauf zu achten, daß sie nicht mit der Frequenz des Datensignalstroms übereinstimmen. Als Referenzspannung wird ein Wert  $0,3 \cdot U_0$  verwendet, wobei  $U_0$  gleich der Spannung der logischen 1 ist. In der folgenden Tabelle ist ausgeführt, welche Ausgangssignale der beiden Entscheidungseinheiten 25 sich ergeben, und welche Bitrate sie codieren.

5  
10

	Ausgangssignale Entscheidungseinheiten 25	
Bitrate $f_B$	A	B
2,48 Gbit/s	H	H
622 Mbit/s	L	H
155 Mbit/s	L	L

15

Die vorgenannte Funktion der Bitratenerkennungsschaltung 15 soll nun auf der Grundlage des oben genannten konkreten Beispiels analytisch beschrieben werden.

Die relative Häufigkeit  $h$  von Datenflanken in einem zufälligen, binären, seriellen Datensignal beträgt 0,45 bis 0,5. Im folgenden sei  $f_{ref1} = 4 \cdot f_{ref2}$ .

Ist nun die Bitrate  $f_B$  gleich  $f_{ref1} = 4 \cdot f_{ref2}$ , dann gilt für  $U_A$  und  $U_B$ :

25

$$U_A = h \cdot U_0$$

$$U_B = (4 \cdot h(1-h)^3 + 4 \cdot h^3(1-h)) U_0 \approx 0,5 U_0$$

20

wobei  $U_0$  gleich der Spannung der logischen "Eins" (H) ist und die logische "Null" (L) der Spannung 0V entspricht.

Ist die Bitrate  $f_B$  gleich  $f_{ref1}/4 = f_{ref2}$ , dann betragen 30  $U_A$  und  $U_B$ :

35

$$U_A = \frac{h}{4} \cdot U_0$$

$$U_B = h \cdot U_0$$

40

Ist schließlich die Bitrate  $f_B$  gleich  $f_{ref1}/16 = f_{ref2}/4$ , dann gilt:

45

$$U_A = \frac{h}{16} \cdot U_0$$

$$U_B = \frac{h}{4} \cdot U_0$$

50

Wählt man einen entsprechenden  $U_{ref}$ -Wert von  $0,3 \cdot U_0$  am Eingang der Komparatoren, dann erhält man an den Ausgängen QA und QB der Schaltung ein zwei Bit breites Datenwort, das die aktuelle Bitrate angibt.

55

In der folgenden Tabelle sind die möglichen Fälle und Ausgangswerte angegeben:

$f_B$	$U_A$	$U_B$	$Q_A$	$Q_B$
$f_B=f_{ref1}$	$h^*U_0$	$0,5^*U_0$	H	H
$f_B=4^*f_{ref1}$	$h/4^*U_0$	$h^*U_0$	L	H
$f_B=16^*f_{ref1}$	$h/16^*U_0$	$h/4^*U_0$	L	L

Da die Referenzfrequenzen nicht sehr genau sein müssen, kann unter Umständen auf externe Referenzfrequenzen verzichtet werden. Falls nämlich der Verstimmungsbereich des VCO nicht zu groß ist, kann die VCO-Frequenz und ein entsprechender Ausgang des Frequenzteilers verwendet werden.

Werden externe Referenzfrequenzen verwendet, werden Frequenzen benötigt, die um einige Prozent von den STM-4 und STM-16-Taktfrequenzen abweichen. Dies ist notwendig, da sonst beim abtastenden Flipflop bei ungünstiger Phasenlage des Datensignals über einen längeren Zeitraum hinweg Setup- und Hold-Zeit-Verletzungen und damit viele fehlerhafte Abtastungen in Folge in der Abtasteinheit und in der Flankendetektionseinheit auftreten können. Fehlerhafte Abtastungen in langer Folge können von den Tiefpassen nicht herausgemittelt werden.

Weichen die Taktfrequenzen voneinander ab, mitteln sich die Fehlabtastungen heraus, weil dann nur kurze Folgen von Fehlabtastungen auftreten. Abweichungen von einigen Prozent reichen dabei aus.

Ein weiteres Beispiel der Erfindung besteht darin, die beschriebene Schaltung 1 zu einem Phasen-/Frequenzkreis mit extrem großem Ziehbereich auszubauen, zum Beispiel zur Frequenzsynthese oder FM-Demodulation. Dabei dient die Bitratenerkennungsschaltung der Erkennung des Frequenzbandes, aus dem die aktuelle Referenzfrequenz stammt. Die Frequenzsensitivität des Phasen-/Frequenzdetektors ermöglicht anschließend das Einrasten des Phasen-/Frequenzregelkreises auf der Zielfrequenz.

40

#### Patentansprüche

1. Vorrichtung zur Gewinnung eines Taktsignals aus einem Datensignalstrom mit einer Phasen-/Frequenzregeleinrichtung (3), der der Datensignalstrom zuführbar ist, und mit einer mittels eines Datenworts (DW) umschaltbaren Frequenzteilereinrichtung (13), die im Rückkopplungszweig der Phasen-/Frequenzregeleinrichtung angeordnet ist und an deren Ausgang das gewonnene Taktsignal (T) abgreifbar ist, dadurch gekennzeichnet, daß eine Bitratenerkennungseinrichtung (15) vorgesehen ist, der der Datensignalstrom und zumindest ein Referenzfrequenzsignal zuführbar sind, und die ein Bitratenabhängiges der Frequenzteilereinrichtung (13) zuführbares Datenwort (DW) erzeugt.

50

2. Vorrichtung nach Anspruch 1, dadurch gekenn-

5

zeichnet, daß der Bitratenerkennungseinrichtung (15) zumindest zwei Referenzfrequenzsignale zuführbar sind.

EP 0 862 272 A2

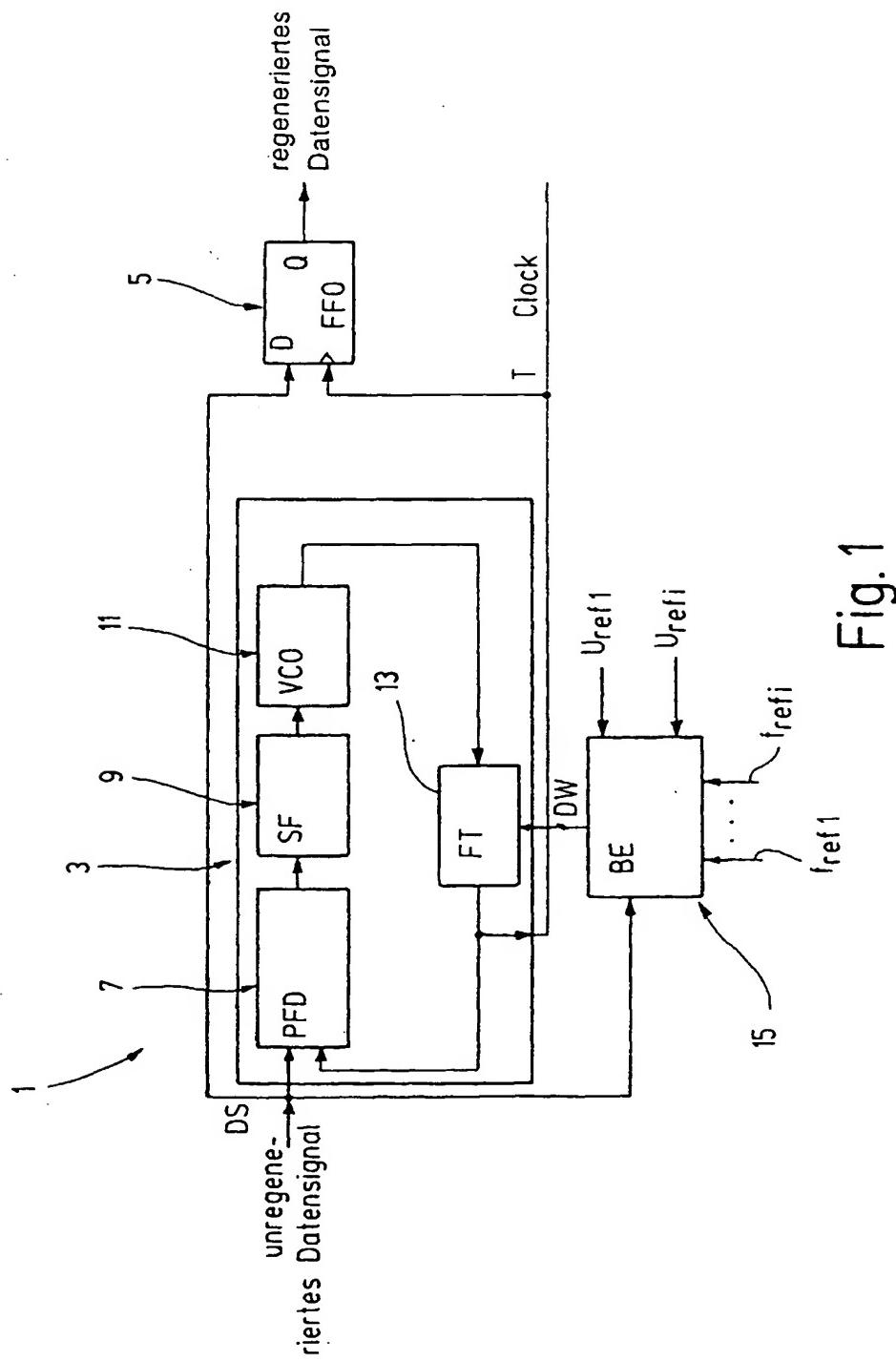


Fig. 1

EP 0 862 272 A2

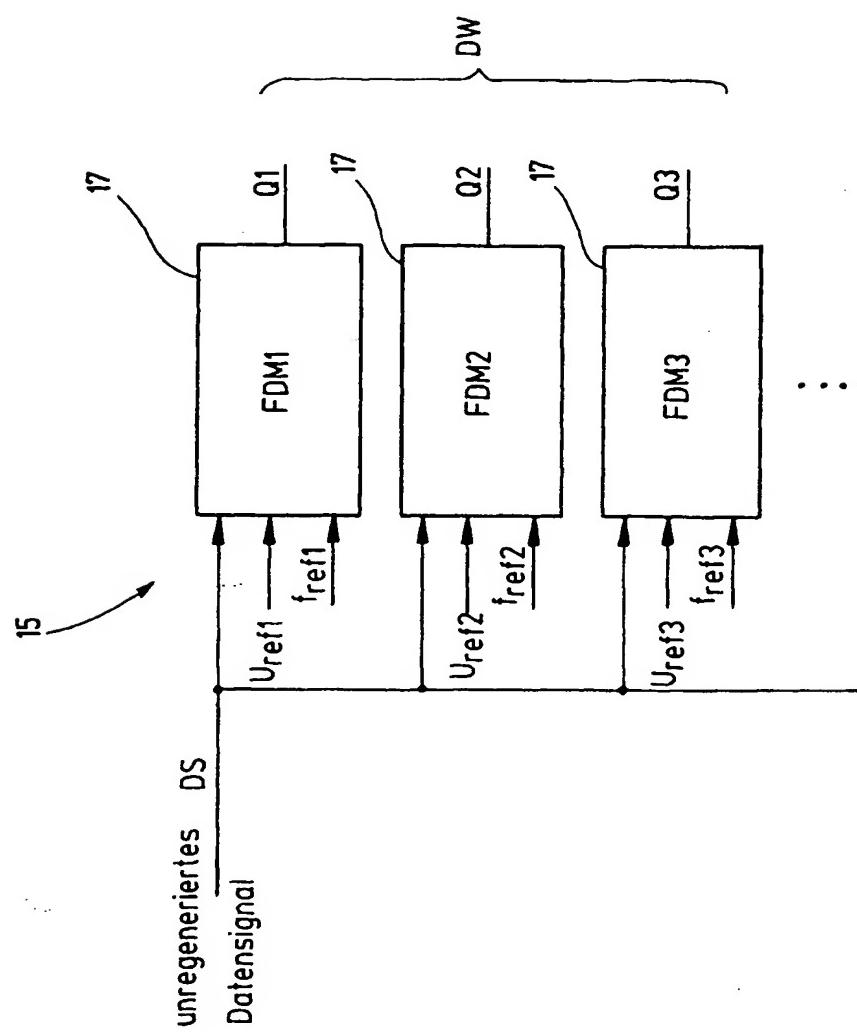


Fig. 2

EP 0 862 272 A2

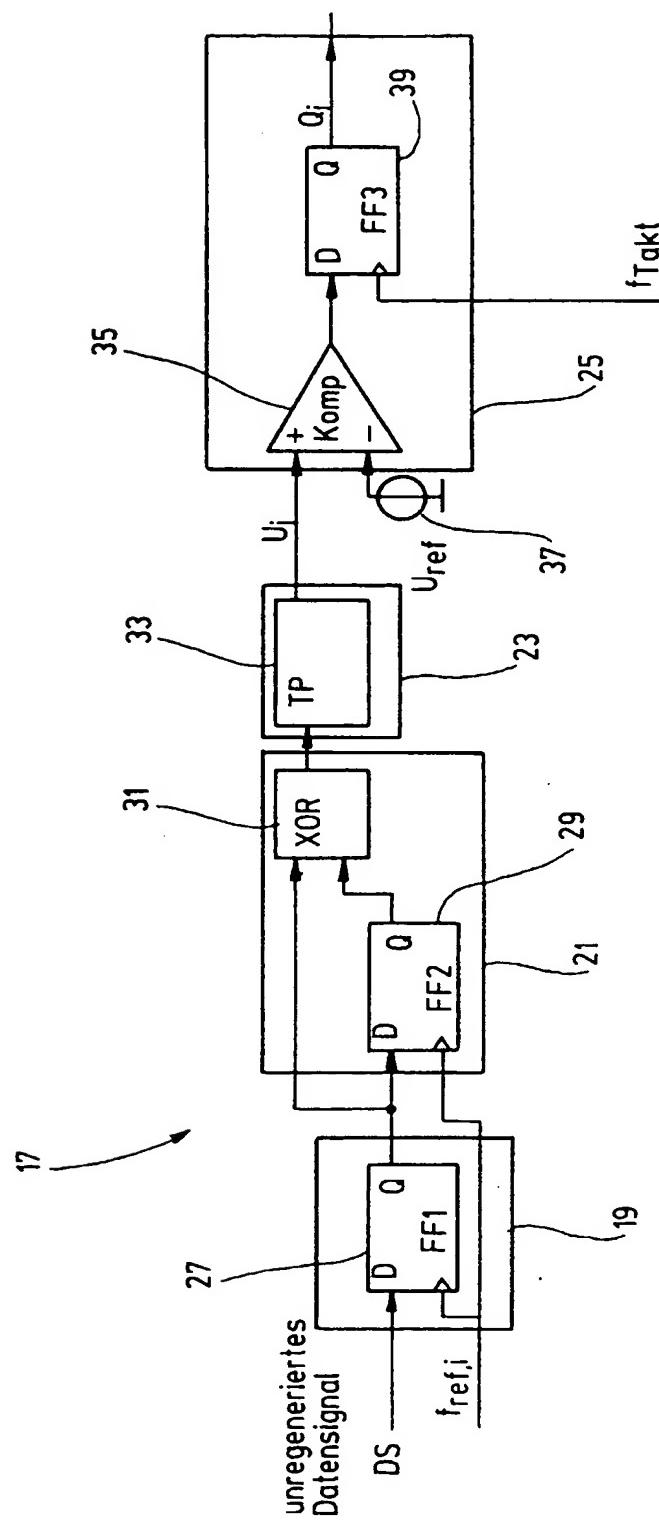


Fig. 3